

CALCOLATORI ELETTRONICI A – 19 aprile 2011

NOME:

COGNOME:

MATR:

Scrivere chiaramente in caratteri maiuscoli a stampa

1. Si esprima per mezzo di porte logiche di AND, OR e NOT la funzione combinatoria (a 4 ingressi e una uscita) che riceve in ingresso un valore positivo binario su 4 bit e pone in uscita 1 se il valore in ingresso è:
 - pari e minore di 8, oppure
 - dispari e maggiore o uguale a 9e pone in uscita 0 in caso contrario.
Si esprima inoltre la stessa funzione con sole porte NAND e con sole porte NOR.
NB: in tutti i casi e' sufficiente identificare una formula booleana, NON si disegni il circuito corrispondente. [6]

2. Si disegni lo schema di un flip-flop master-slave S-R sensibile ai fronti di salita e se ne spieghi il funzionamento. Nel disegno si possono utilizzare latch S-R sensibili ai livelli. Si illustri infine quali modifiche dovrebbero essere fatte per ottenere un flip-flop sensibile ai fronti di discesa. [6]

3. Si consideri l'implementazione del processore MIPS secondo la tecnica a singolo ciclo, considerando le usuali istruzioni lw, sw, TIPO-R, beq, j. Si considerino i seguenti tempi per le operazioni atomiche che coinvolgono le unità funzionali principali:

Lettura da memoria:	3 ns
Scrittura in memoria:	2 ns
Lettura Register File:	2 ns
Scrittura in Register File:	2 ns
Operazione ALU:	1 ns

Giustificando la risposta, si calcolino le prestazioni del processore in termini di tempo medio di esecuzione per istruzione.

Si consideri l'implementazione di una istruzione *sum r1, offset(r2)* che somma il valore di *r1* al valore di memoria $M[r2 + offset]$ e pone il risultato in *r1*. Calcolare in questo caso le nuove prestazioni del processore.

Si assuma infine che, in presenza della nuova istruzione, il tempo di decodifica (inteso come tempo di propagazione dell'unità di controllo combinatoria) non sia trascurabile, ma sia pari a 1 ns. Giustificando la risposta, si calcolino anche in questo caso le prestazioni. [5]

4. Si considerino, mostrati nelle figure alla pagina seguente, il datapath ed il diagramma a stati finiti che specifica l'unità di controllo secondo la tecnica a multiciclo relativamente alle istruzioni MIPS *lw*, *sw*, *beq*, *j* ed alle istruzioni *Tipo-R*.
Si vuole implementare la nuova istruzione

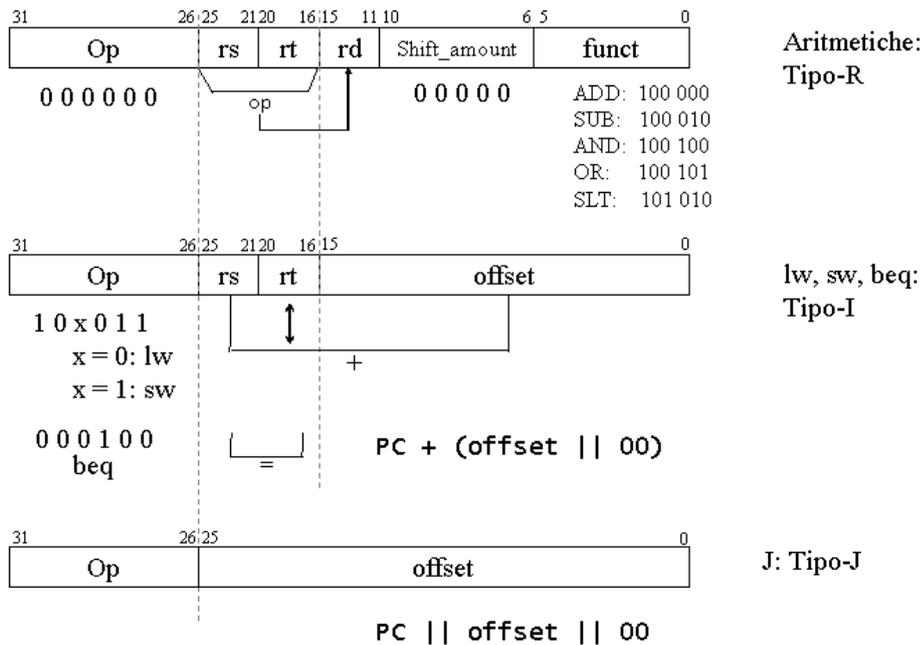
EXCHG (r1), (r2)

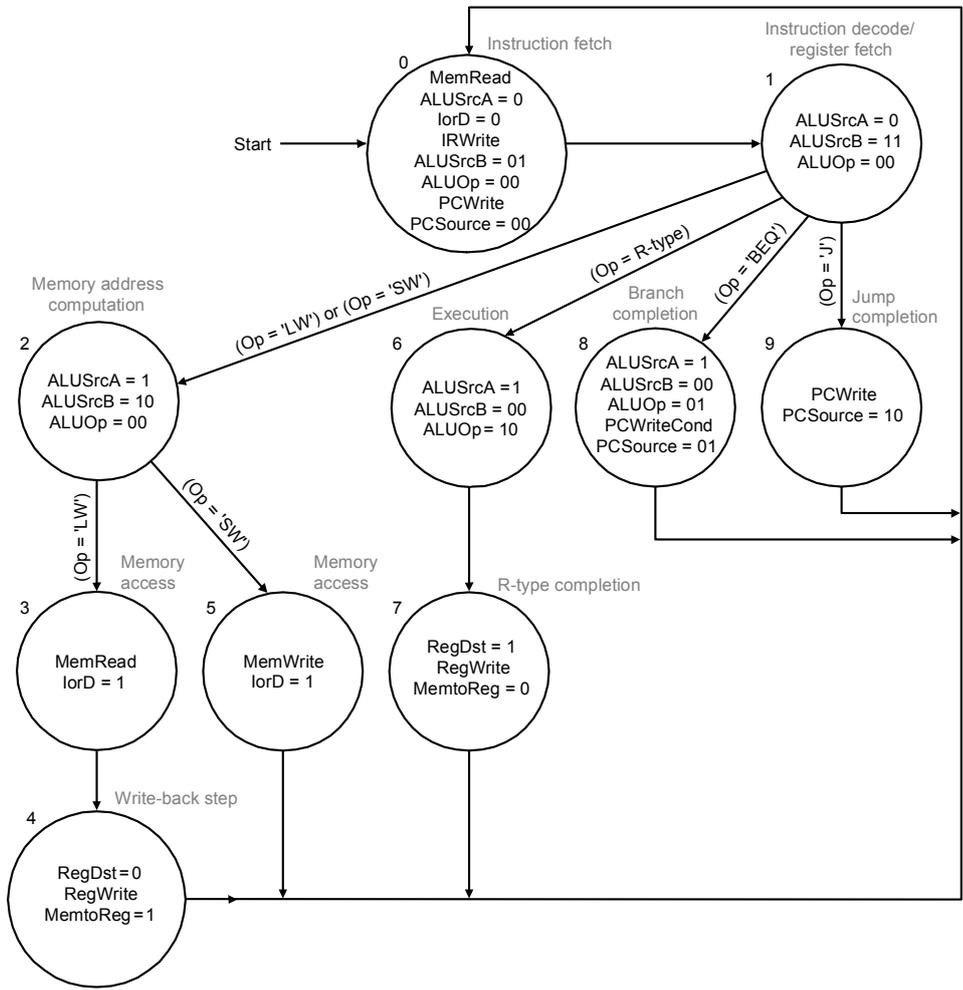
che scambia le parole di memoria di indirizzo rispettivamente *r1* e *r2*: $M[r1] \Leftrightarrow M[r2]$.

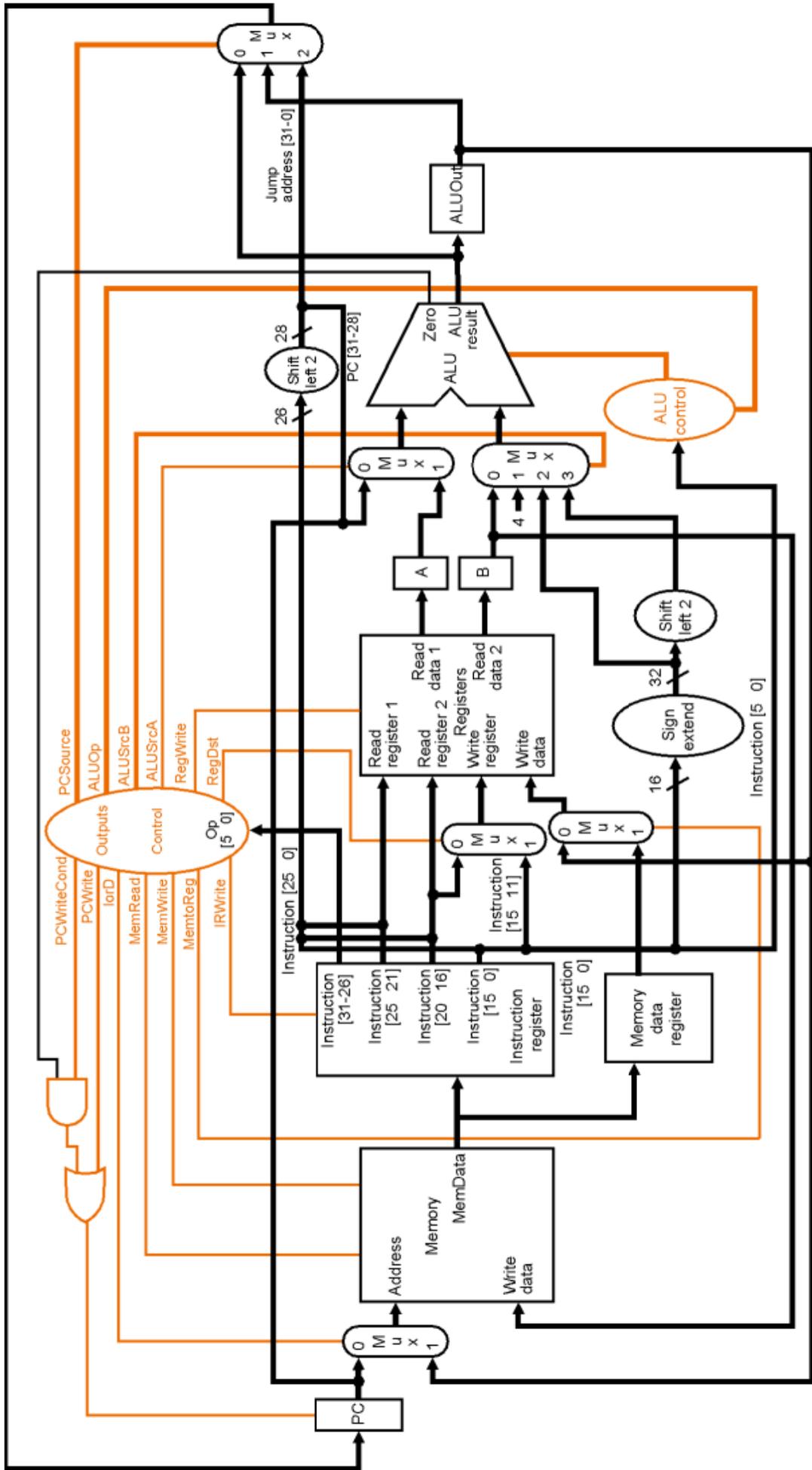
Ricordando i tre formati di codifica delle istruzioni (riportati di seguito) si chiede di:

- riportare il formato della nuova istruzione macchina (specificando anche i campi destinati a *r1* e *r2*);
- riportare, nella corrispondente figura, le modifiche necessarie al datapath;
- estendere il diagramma degli stati per implementare la nuova istruzione. [6]

Promemoria formati delle istruzioni:







5. Scrivere una procedura in assembler MIPS corrispondente alla seguente funzione ricorsiva espressa in linguaggio C. Si utilizzino le note convenzioni sui registri. [5]

```
int F(int a, int b){  
    if(a<=b && b>100) return b;  
    else return 2b+F(b-a, 2a);  
}
```

6. Illustrare il significato di una cache set-associativa a 4 vie (cos'è e, molto brevemente, come funziona). [3]

